

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-127205

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

G01R 31/28  
G11C 29/00

(21)Application number : 07-309821

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.11.1995

(72)Inventor : NISHIYAMA MASAHIKO

HIGETA KEIICHI

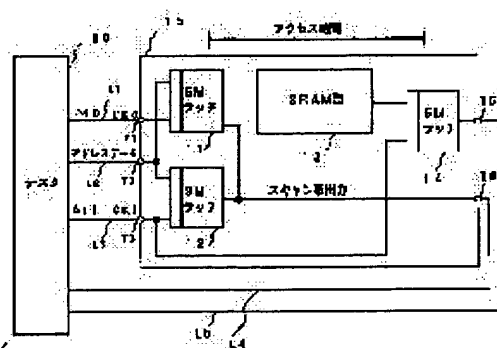
FUJIMURA YASUHIRO

## (54) MEASURING METHOD FOR ACCESS TIME

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a measuring method in which the accuracy of an access time measurement is enhanced.

SOLUTION: On the basis of the difference between the timing of a clock signal CK0 at a time when the clock signal CK0 is delayed in a very small time unit and when a target signal state is latched by an SM latch circuit 11 and the timing of a clock signal CK1 at a time when the clock signal CK1 is delayed in a very small time unit and when a target signal state is latched by an SM latch circuit 12, the difference in an electric length between conductive lines L1, L3 at the outside of an LSI 15 is found regarding the clock signals CK0, CK1. When the difference in the electric length is corrected, an error in an access time measurement due to the difference in the electric length is reduced, and the accuracy of the access time of an SRAM part 13 is enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平9-127205

(43) 公開日 平成9年(1997)5月16日

(51) Int. Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	B
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 H

審査請求 未請求 請求項の数5 F D (全 10 頁)

(21) 出願番号 特願平7-309821

(22) 出願日 平成7年(1995)11月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 西山 雅彦

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 日下田 恵一

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 藤村 康弘

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 玉村 静世

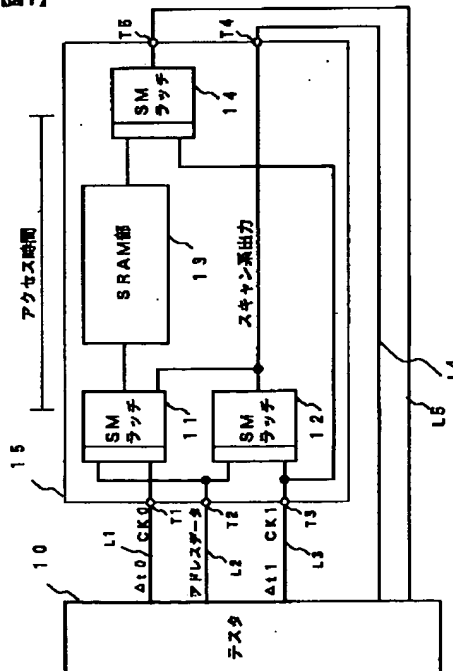
(54) 【発明の名称】 アクセス時間測定方法

(57) 【要約】

【課題】 アクセス時間測定の精度を向上させることにある。

【解決手段】 クロック信号CK0を微小時間単位で遅延していき、目的信号状態をSMラッチ回路11でラッチしたときのクロック信号CK0のタイミングと、クロック信号CK1を微小時間遅延していき、目的信号状態をSMラッチ回路12でラッチしたときのクロック信号CK1のタイミングとの差から、クロック信号CK0、CK1のそれぞれについてのLSI15の外部における導電路L1、L3での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減し、SRAM部13のアクセス時間の精度向上を図る。

【図1】



1

## 【特許請求の範囲】

【請求項1】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路とを含んで半導体集積回路が形成されるとき、この半導体集積回路における上記メモリ部のアクセス時間を測定するアクセス時間測定方法であって、

上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することを特徴とするアクセス時間測定方法。

【請求項2】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラ

ッチ回路とを含んで半導体集積回路が形成されるとき、外部から供給される上記第2クロック信号の位相を変化させ、上記第1ラッチにラッチされたアドレス信号に対応するデータが上記第2ラッチ回路にラッチされたときの、上記第1クロック信号と上記第2クロック信号との位相差に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法において、

上記第1クロック信号の位相を変化させて、目的信号状態を上記第1ラッチ回路でラッチしたときの上記第1クロック信号のタイミングと、上記第2クロック信号の位相を変化させて、目的信号状態を上記第3ラッチ回路でラッチしたときの上記第2クロック信号のタイミングとの差から、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することを特徴とするアクセス時間測定方法。

【請求項3】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号をクロック信号に同期してラッチ可能な第1ラッチ回路と、上記メモリ部からの出力データを上記クロック信号に同期してラッチ可能な第2ラッチ回路と、上記クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させ、上記第3ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法において、

上記第2ラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅を固定した状態で、その位相を変化させ、上記第1ラッチ回路の出力論理の変化タイ

2

ミングと、上記第3ラッチ回路の出力論理の変化タイミングとの時間差を、上記メモリ部のアクセス時間として求めることを特徴とするアクセス時間測定方法。

【請求項4】 アクセス時間測定対象とされるメモリ部と、上記メモリ部へ入力されるアドレス信号をクロック信号の立上がりタイミングに同期してラッチ可能な第1スレーブ・マスタラッチ回路と、上記メモリ部からの出力データを上記クロック信号の立下がりタイミングに同期してラッチ可能なDラッチ回路と、上記クロック信号の立下がりタイミングに同期して上記アドレス信号をラッチ可能な第2SMラッチとを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のパルス幅を変化させて、上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅に基づいて、上記メモリ部のアクセス時間を測定するアクセス時間測定方法であって、

上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のパルス幅を固定した状態で、その位相を変化させ、上記クロックの立上がりタイミングで上記第1スレーブ・マスタラッチ回路の出力論理が変化する第1タイミングと、上記クロックの立下がりタイミングで上記第2スレーブ・マスタラッチ回路の出力論理が変化する第2タイミングとの時間差を上記メモリ部のアクセス時間として求めることを特徴とするアクセス時間測定方法。

【請求項5】 上記半導体集積回路の外部端子をテストに結合させ、上記半導体集積回路への動作電源供給、及びクロック信号の供給、及び上記半導体集積回路からの出力信号の論理判定を、上記テストによって行うようにした請求項1乃至4のいずれか1項記載のアクセス時間測定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置のアクセス時間測定技術に関し、例えばスタティック・ランダム・アクセス・メモリ（SRAMという）のアクセス時間測定に適用して有効な技術に関する。

## 【0002】

【従来の技術】半導体記憶装置の一例としてのSRAMは、複数のスタティック型メモリセルをマトリクス配置して成るメモリセルアレイを含む。スタティック型メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入出力端子はカラム方向毎に相補データ線に結合される。それぞれの相補データ線は、相補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコード、及びカラムデコードに伝達される。ロウデコードのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコードのデコード出力に基

づいてカラム選択スイッチがオンされることにより、特定のメモセルへのデータの書込み、又はメモセルデータの読出しが可能とされる。

【0003】尚、SRAMについて記載された文献の例としては、特公昭57-21795号公報がある。

【0004】

【発明が解決しようとする課題】SRAMのアクセス時間は、LSIの各種試験を可能とするためのLSIテスト（以下、単に「テスト」という）と称される装置を用いて測定することができる。テストは、LSIの動作に必要な電源電圧や、クロック信号、及び各種制御信号を生成する機能を有し、試験対象とされるSRAMの外部端子に、所定のケーブルを介して結合されることによって、当該SRAMの各種動作試験を可能とする。アクセス時間は、SRAM内のアドレス信号ラッチ、及び出力ラッチにそれぞれ供給されるクロック信号の位相差を検出することによって、測定することができる。

【0005】テストから試験対象とされるSRAMに供給されるクロック信号の位相差の精度は、 $\pm 300\text{ps}$ 程度であり、それは、アクセス時間が $3\text{ns}$ 程度のSRAMのアクセス時間測定においては設計マージンの中に入めることができる。しかしながら、SRAMの動作の高速化により、アクセス時間が $1\text{ns}$ 程度に短縮されると、アクセス時間の測定誤差が大きくなるため、上記クロック信号位相差の精度を無視することができなくなる。

【0006】本発明の目的は、アクセス時間測定の精度を向上させるための技術を提供することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、第1手段として、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期してラッチ可能な第1ラッチ回路（11）と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路（14）と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（12）とを含んで半導体集積回路が形成されるとき、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正する。

【0010】さらに、具体的な態様では、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号を第1クロック信号に同期して

ラッチ可能な第1ラッチ回路（11）と、上記メモリ部からの出力データを第2クロック信号に同期してラッチ可能な第2ラッチ回路（14）と、上記第2クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（12）とを含んで半導体集積回路が形成されるとき、外部から供給される上記第2クロック信号の位相を変化させ、上記第1ラッチにラッチされたアドレス信号に対応するデータが上記第2ラッチ回路にラッチされたときの、上記第1クロック信号と上記第2クロック信号との位相差に基づいて、上記メモリ部のアクセス時間を測定するに際して、上記第1クロック信号の位相を変化させ、目的信号状態を上記第1ラッチ回路でラッチしたときの上記第1クロック信号のタイミングと、上記第2クロック信号の位相を変化させ、目的信号状態を上記第3ラッチ回路でラッチしたときの上記第2クロック信号のタイミングとの差から、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正する。

【0011】また、第2手段として、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号をクロック信号に同期してラッチ可能な第1ラッチ回路（51）と、上記メモリ部からの出力データを上記クロック信号に同期してラッチ可能な第2ラッチ回路（52）と、上記クロック信号に同期して上記アドレス信号をラッチ可能な第3ラッチ回路（53）とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のバース幅を変化させ、上記第3ラッチ回路でのラッチデータが切替るときの上記クロック信号のバース幅に基づいて、上記メモリ部のアクセス時間を測定するに際して、上記第2ラッチ回路でのラッチデータが切替るときの上記クロック信号のバース幅を固定した状態で、その位相を変化させ、上記第1ラッチ回路の出力論理の変化タイミングと、上記第3ラッチ回路の出力論理の変化タイミングとの時間差を、上記メモリ部のアクセス時間として求める。

【0012】さらに、具体的な態様としては、アクセス時間測定対象とされるメモリ部（13）と、上記メモリ部へ入力されるアドレス信号をクロック信号の立下がりタイミングに同期してラッチ可能な第1SMラッチ回路（51）と、上記メモリ部からの出力データを上記クロック信号の立下がりタイミングに同期してラッチ可能なDラッチ回路（52）と、上記クロック信号の立下がりタイミングに同期して上記アドレス信号をラッチ可能な第2SMラッチ（53）とを含んで半導体集積回路が形成されるとき、外部から供給される上記クロック信号のバース幅を変化させ、上記Dラッチ回路でのラッチデータが切替るときの上記クロック信号のバース幅に基づいて、上記メモリ部のアクセス時間を測定するに際して、Dラッチ回路でのラッチデータが切替るときの上記クロ

ック信号のパルス幅を固定した状態で、その位相を変化させ、上記クロックの立上がりタイミングで上記第1SMラッチ回路の出力論理が変化される第1タイミングと、上記クロックの立下がりタイミングで上記第2SMラッチ回路の出力論理が変化される第2タイミングとの時間差を上記メモリ部のアクセス時間として求める。

【0013】上記した第1手段によれば、上記第1クロック信号、及び上記第2クロック信号のそれぞれについての上記半導体集積回路の外部における導電路での電気長差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差が低減され、このことが、アクセス時間の精度向上を達成する。

【0014】また、上記した第2手段によれば、第2ラッチ回路でのラッチデータが切替るときのクロック信号のパルス幅を固定した状態で、その位相を変化させ、第1ラッチ回路の出力論理の変化タイミングと、上記第2ラッチ回路の出力論理の変化タイミングとの時間差を、上記RAM部のアクセス時間として求めることは、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができ、このことが、アクセス時間の精度向上を達成する。

【0015】

【発明の実施の形態】図1には、本発明の一実施例方法が適用されたアクセス時間測定回路が示される。

【0016】アクセス時間測定対象とされるLSI15は、特に制限されないが、SRAMとされ、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。LSI15はメモリ部の一例であるSRAM部13を有する。このSRAM部13は、図示されないが、スタティック型メモリセルを備え、このスタティック型メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入出力端子はカラム方向毎に相補データ線に結合される。それぞれの相補データ線は、相補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコーダ、及びカラムデコーダに伝達される。ロウデコーダのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコーダのデコード出力に基づいてカラム選択スイッチがオンすることにより、特定のメモリセルへのデータの書込み、又はメモリセルデータの読出しが可能とされる。また、図示されないが、外部から与えられる制御信号として、チップセレクト信号CS\*（\*はローアクティブ又は信号反転を意味する）や、ライトイネーブル信号WE\*がある。チップセレクト信号CS\*がローレベルにアサートされることによってチップ選択が行われ、また、そのように選択された状態で、ライトイネーブル信号WE\*がローレベルにアサートされた場合にメモリセルへのデータ書込みが可能とされる。

【0017】SRAM部13は、複数ビット構成のアドレス入力により、複数ビット構成のデータを出力可能に構成されるが、図1では、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるように示されている。アドレス端子T2からの入力アドレスは、SM（スレーブ・マスタ（マスタ・スレーブと称されることもある））ラッチ11を介してSRAM部13に入力されるようになっている。そして、SRAM部13からの出力データは、後段に配置されたSMラッチ14、及びデータ端子T5を介して外部出力可能とされる。SMラッチ11は、クロック端子T1を介して入力されたクロック信号CK0に同期して入力アドレスをラッチする。また、SMラッチ14は、クロック端子T3を介して入力されたクロック信号CK1に同期してSRAM部13からの出力データをラッチする。LSI15のアクセス時間は、後に詳述するが、SMラッチ11の出力アドレスに対応するデータがSMラッチ14にラッチされるとき、クロック信号CK0、CK1の位相差を検出することによって測定することができる。そのような測定方法において、クロック信号CK0、CK1の位相差の精度を上げるため、この実施例では、位相差補正を行うようにしており、その位相差補正用データを得るために、SMラッチ12が設けられている。このSMラッチ12は、クロック端子T3を介して入力されたクロック信号CK1に同期して入力アドレス信号をラッチする。SMラッチ11、12のスクラン系出力は、LSI15に設けられたスクラン系出力端子T4を介して外部出力可能とされる。

【0018】アクセス時間測定対象とされるLSI15は、テスト10に電気的に結合される。この電気的結合は、テスト10に設けられたLSIソケット（図示せず）にLSI15の外部端子を結合することによって達成され、テスト10とLSI15の外部端子との間には各種導電路が形成される。図1にはL1～L5で示される導電路が代表的に示される。導電路L1はクロック信号CK0の伝達路とされ、LSI15のクロック信号入力端子T1に結合される。導電路L2はアドレス信号の伝達路とされ、LSI15のアドレス端子T2に結合される。導電路L3はクロック信号CK1の伝達路とされ、LSI15のクロック端子T3に結合される。導電路L4はスクラン系出力データの伝達路とされ、LSI15のスクラン系出力端子T4に結合される。導電路L5はデータ伝達路とされ、LSI15のデータ端子T5に結合される。

【0019】図2には上記テスト10の機能ブロックが示される。

【0020】図2に示されるようにテスト10は、特に制限されないが、制御及びデータ処理部21、電源部22、電圧測定手段23、電流測定手段24、クロック信

号発生手段26、アドレス発生手段27、及び論理判定手段28を含む。

【0021】電源部22は、試験対象LSIの動作電源電圧を生成する機能を有し、LSI15の動作電源電圧は、この電源部22によって生成される。電圧測定部23、及び電流測定手段24は、それぞれ試験対象LSIの主要端子間電圧、及び主要端子間電流を測定する機能を有する。クロック信号発生手段26は、試験対象LSIに供給されるクロック信号を生成する。この実施例において、LSI15に供給されるクロック信号CK0、CK1はクロック信号発生手段26によって生成される。アドレス発生手段27は、試験対象LSIに供給されるアドレス信号を発生する機能を有する。この実施例では、LSI15に供給されるアドレス信号を生成する。論理判定手段28は、試験対象LSIからの出力論理を判定する機能を有する。この実施例では、LSI15のスクアン系出力端子T4、データ端子T5を介して伝達されたデータの論理を判定する。また、制御及びデータ処理手段21は、このテスト10の各部の動作制御、及び測定若しくは判定結果についての処理機能を有する。

【0022】次に、LSI15のアクセス時間測定について説明する。この実施例では、アクセス時間測定前に、クロック信号CK0、CK1の位相差補正のためのデータを収集し、それに基づくデータ補正により、アクセス時間測定の精度向上を図っている。

【0023】図3にはクロック信号補正データの収集についてのタイミングが示される。

【0024】尚、LSI15内において、クロック信号CK0、CK1の伝達系は等長配線とされて、そこでのスキューは無いものとする。

【0025】クロック信号補正データの収集においては、テスト21の論理判定手段28によって、スクアン系出力端子T4からの出力信号の論理が判定される。

【0026】まず、テスト10から出力されるアドレスがローレベルからハイレベルに立上がるタイミングを固定する。便宜上、アドレスのローレベルをアドレスAとし、アドレスのハイレベルをアドレスBとする。テスト10とLSI15との間に形成される導電路L2の電気長により、テスト10から出力されたアドレスは、矢印31で示されるように遅延されてLSI15に入力される。

【0027】テスト10から出力されるクロック信号CK0についても、テスト10とLSI15との間に形成される導電路L1の電気長により、テスト10から出力されたクロック信号CK0は、矢印33で示されるように遅延されてLSI15に入力される。クロック信号CK0がSMラッチ11に入力され、その立上がりタイミングに同期して、SMラッチ11によりアドレス信号がラッチされる。クロック信号CK0は、テスト10によ

って、矢印32で示される方向に、微小時間単位で遅らされる。最初は、SMラッチ11によってアドレスAがラッチされるが、クロック信号CK0の立上がりタイミングが矢印32で示される方向に遅らされることにより、やがてアドレスBがラッチされるようになる。このラッチアドレスがAからBに変わったときのクロック信号CK0の立上がりタイミングを判定し、そのタイミングを $t_0$ とする。

【0028】クロック信号CK1についても、上記クロック信号CK0の場合と同様に微小時間単位で遅らせていき、SMラッチ12のラッチアドレスがAからBに変わったときのクロック信号CK1のタイミングを判定し、そのタイミングを $t_1$ とする。

【0029】クロック信号CK0、CK1についてのテスト10とLSI15との間の導電路における電気長を、それぞれ $\Delta t_0$ 、 $\Delta t_1$ とする。このときSMラッチ11、12によってそれぞれアドレスBをラッチできるタイミングは同じであるから、

$$t_0 + \Delta t_0 = t_1 + \Delta t_1 \quad \cdots \textcircled{1}$$

が成立する。つまり、導電路L1、L3の電気長の差 $\Delta t$ は、テスト10におけるクロック信号CK0、CK1の位相差に等しく、

$$\Delta t = \Delta t_0 - \Delta t_1 = t_1 - t_0$$

となる。導電路L1、L3の電気長の違いにより、クロック信号CK0、CK1間に位相差 $\Delta t$ を生じてしまうにもかかわらず、それを無視して、アクセス時間を測定したのでは、特にLSI15が高速であればあるほど、アクセス時間の測定誤差が大きくなる。そこで、この実施例では、上記位相差 $\Delta t$ を補正データとして、以下に述べるようにアクセス時間測定値を補正することによって、アクセス時間測定の高精度化を図っている。

【0030】図4にはアクセス時間測定についてのタイミングが示される。

【0031】まず、SRAM部13に、所定のテストパターンが書込まれる。テストパターンは、テスト10によって行われ、そのテストパターン情報はテスト10に保存され、後述する論理判定において期待値として使用される。

【0032】アドレス信号の立上がりタイミング、及びクロック信号CK0の立上がりタイミングを固定しておく。そして、その場合のクロック信号CK0の立上がりタイミングを $t_{00}$ で示す。

【0033】また、SMラッチ11によってアドレスAがラッチされるように、クロック信号CK1の立上がりタイミングを調整する。

【0034】次に、アドレスBに対応するところのSRAM部13からの出力データが、SMラッチ14にラッチされるまで、テスト10から出力されるクロック信号CK1の立上がりタイミングを少しずつ、例えば50psずつ遅らせていく。つまり、クロック信号CK1の立上

がりタイミングが遅延される毎に、論理判定手段28により、SMラッチ14の出力論理が判定される。SMラッチ14では、最初はアドレスAに対応する出力データがラッチされるが、上記クロック信号CK1の遅延により、やがて、アドレスBに対応する出力データがラッチされるようになる。そのため、論理判定手段28では、SMラッチ14の出力論理が期待値と一致したか否か、つまり、アドレスBに対応するデータがSMラッチ14によってラッチされたか否かの判定を行う。この判定において、SMラッチ14の出力論理が期待値と一致したと判断された場合に、上記クロック信号CK1の遅延が終了される。SMラッチ14のラッチされたデータが、アドレスAに対応するものから、アドレスBに対応するものに変化されたタイミングを $t_{11}$ で示す。

【0035】基本的に、SRAM部13のアクセス時間は、 $t_{11}-t_{00}$ によって求められる。しかし、上記したように、実際には導電路L1、L3の電気長が異なり、クロック信号CK0、CK1の位相差の精度が低下されているため、上記 $t_{11}-t_{00}$ を、先に求められた補正データ $\Delta t$ で補正する。つまり、SRAM部13のアクセス時間Tは、

$$T=t_{11}-t_{00}+\Delta t \quad \cdots \textcircled{2}$$

とされ、そのように補正データ $\Delta t$ が考慮されることにより、SRAM13のアクセス時間を精度良く測定することができる。

【0036】上記実施例によれば、以下の作用効果を得ることができる。

【0037】クロック信号CK0を微小時間単位で遅延していき、目的信号状態をSMラッチ回路11でラッチしたときのクロック信号CK0のタイミングと、クロック信号CK1を微小時間遅延していき、目的信号状態をSMラッチ回路12でラッチしたときのクロック信号CK1のタイミングとの差から、クロック信号CK0、CK1のそれぞれについてのLSI15の外部における導電路L1、L3での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減することができ、それにより、SRAM部13のアクセス時間の精度向上を図ることができる。

【0038】次に、他の実施例について説明する。

【0039】図5には、本発明の他の実施例方法が適用されたアクセス時間測定回路が示される。

【0040】アクセス時間測定対象とされるLSI54は、特に制限されないが、SRAMとされ、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。LSI54はSRAM部13を有する。このSRAM部13は、図1に示されるものと同一構成とされる。すなわち、スタティック型メモリの選択端子はロウ方向毎にワード線に結合され、メモリのデータ入出力端子はカラム方向毎に相補データ線に結合され、それぞれの相補データ線は、相

補データ線に1対1で結合された複数のスイッチを含むカラムスイッチ回路介して相補コモンデータ線に共通接続されている。外部より入力されるアドレス信号は、ロウデコーダ及びカラムデコーダに伝達される。ロウデコーダのデコード出力に基づいてワード線が選択レベルに駆動され、カラムデコーダのデコード出力に基づいてカラム選択スイッチがオンされることにより、特定のメモリセルへのデータの書込み、又はメモリセルデータの読出しが可能とされる。

【0041】SRAM部13は、複数ビット構成のアドレス入力により、複数ビット構成のデータを出力可能に構成されるが、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるように示されている。アドレス端子T6からの入力アドレスは、SMラッチ51を介してSRAM部13に入力されるようになっている。そして、SRAM部13からの出力データは、後段に配置されたD型ラッチ（Dラッチという）52、及びデータ端子T8を介して外部出力可能とされる。Dラッチ52は、クロック信号CK1の立下がりタイミングに同期してSRAM部13からの出力データをラッチする。SMラッチ51、52は、クロック端子T7を介して入力されたクロック信号CK1に同期して入力アドレスをラッチする。ただし、SMラッチ51は、クロック信号CK1の立下がりタイミングで入力アドレスをラッチするのに対して、SMラッチ53は、クロック信号CK1の立下がりタイミングに同期して入力アドレスをラッチする。Dラッチ52の出力信号、及びスキャン系出力信号は、それぞれデータ端子T8、及びスキャン系出力端子T9を介して、テスト10に伝達されるようになっている。

【0042】図6にはアクセス時間測定のタイミングが示される。

【0043】テスト10から出力されたアドレス信号及びクロック信号CK1は、それぞれ矢印61、62で示されるように遅延されてLSI54に入力される。クロック信号CK1の立下がりタイミングに同期してSMラッチ51によって入力アドレスがラッチされ、クロック信号CK1の立下がりタイミングに同期して、SRAM部13の出力データがDラッチ52にラッチされる。図6に示されるタイミングでは、クロック信号CK1の立下がりタイミングにおいて、アドレスBに対応するところのSRAM部13の出力データが、Dラッチ52にラッチされるようになっているが、テスト10側で上記クロック信号CK1のパルス幅を徐々に狭くしていくと、それまでラッチ可能だった、アドレスBに対応するデータに代えて、アドレスAに対応するデータがラッチされるようになる。Dラッチ52の出力データの論理をテスト10の論理判定手段28で判定することにより、Dラッチ52の保持データがアドレスBに対応するものからアドレスAに対応するものに変化するタイミングを把握

## 11

することができる。そこで、上記のようにクロック信号CK1のパルス幅を徐々に狭くしていった場合において、Dラッチ52の保持データがアドレスAに対応するものに変化する直前のクロック信号CK1のパルス幅が、このSRAM部13のアクセス時間に相当する。このクロック信号CK1のパルス幅は、以下の方法により、精度良く求めることができる。

【0044】図7にはクロックCK1のパルス幅測定のタイミングが示される。

【0045】上記クロックCK1の幅を固定した状態で、図7の矢印71で示されるように、上記クロックCK1を位相を変化させる。スキャン系出力端子T9（図5参照）からの出力信号の論理をテスト10の論理判定手段28で判定することにより、クロックCK1の立上がりタイミングで、SMラッチ51にラッチされるアドレス信号がAからBに切替る第1タイミングを求める。同様に、上記クロックCK1を位相を変化させることにより、今度は、クロックCK1の立下がりタイミング（CK1\*としては立上がりタイミング）で、SMラッチ53に保持されるアドレス信号がAからBに切替る第2タイミングを求める。この第1タイミングと第2タイミングとの時間差が、クロックCK1の求めようとするパルス幅である。このように、クロックCK1のパルス幅を固定した状態で、その位相を変化させ、SMラッチ51、52にそれぞれラッチされるアドレス信号の切替りタイミングを求めることにより、LSI54の端子T6、T7の位置でのクロック信号CK1の幅を測定することができるので、例えば、テスト10とLSI54との間の導電路L6、L7の電気長が存在しても、それとは無関係に、上記クロックCK1のパルス幅、すなわち、図5に示される測定回路におけるアクセス時間を精度良く求めることができる。

【0046】上記実施例によれば、以下の作用効果を得ることができる。

【0047】Dラッチ回路52でのラッチデータが切替る時のクロック信号のパルス幅を固定した状態で、その位相を変化させ、SMラッチ回路51の出力論理の変化タイミングと、上記SMラッチ回路53の出力論理の変化タイミングとの時間差を、上記RAM部のアクセス時間として求めることにより、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができるので、アクセス時間の精度向上を図ることができる。

【0048】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0049】例えば、上記実施例では、アクセス時間測定についての説明の便宜上、1ビットのアドレス信号の入力によって、1ビットデータが読出されるようにしたが、実際には、SRAMへの入力アドレスは複数ビット

## 12

構成であり、また、SRAM部14のI/Oについても複数ビット構成の場合が多い。その場合において、SMラッチ11、12、51、53は、アドレスのビット構成に対応してそれぞれ複数個配置され、また、SMラッチ14やDラッチ52は、I/Oの構成ビット数に対応して複数個配置される。

【0050】また、LSI15内にマイクロコンピュータやその他の機能モジュールが配置された半導体集積回路などにおいても、SRAM13の存在により、そのアクセス時間の測定が可能となる。また、SRAM部13に代えて、ダイナミックRAM部など、その他の半導体記憶部を備える場合においても、その記憶部のアクセス時間の測定が可能とされる。

【0051】さらに、図1～図4に示される実施例においては、補正データ $\Delta t$ を使用して、上記の式により補正するようにしたが、そのような補正に代えて、補正データ $\Delta t$ に基づいてクロックCK0、CK1自体の位相を補正するようにしても良い。

【0052】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAM部のアクセス時間測定に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体メモリのアクセス時間測定に適用することができる。

【0053】本発明は、少なくとも半導体集積回路にRAM部が含まれることを条件に適用することができる。

【0054】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0055】すなわち、第1クロック信号、及び第2クロック信号のそれぞれについての半導体集積回路の外部における導電路での電気長の差を求めて、この電気長差を補正することで、電気長差によるアクセス時間測定誤差を低減することができ、それにより、アクセス時間の精度向上を図ることができる。

【0056】また、第2ラッチ回路でのラッチデータが切替る時のクロック信号のパルス幅を固定した状態で、その位相を変化させ、第1ラッチ回路の出力論理の変化タイミングと、第2ラッチ回路の出力論理の変化タイミングとの時間差を、RAM部のアクセス時間として求めることにより、導電路の電気長とは無関係にクロック信号のパルス幅を測定することができるので、アクセス時間の精度向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例方法が適用されたアクセス時間測定回路のブロック図である。

【図2】上記アクセス時間測定で使用されるテストの機能ブロック図である。

【図3】上記アクセス時間測定で使用されるクロック信



13

14

号補正データの収集についてのタイミング図である。

【図4】上記アクセス時間測定についてのタイミング図である。

【図5】本発明の他の実施例方法が適用されたアクセス時間測定回路のブロック図である。

【図6】図5に示される回路でのアクセス時間測定のタイミング図である。

【図7】図5に示される回路でのパルス幅測定のタイミング図である。

【符号の説明】

10 テスタ

11, 12, 14, 51, 53 SMラッチ

13 SRAM部

15 半導体記憶装置

21 制御及びデータ処理手段

22 電源部

23 電圧測定手段

24 電流測定手段

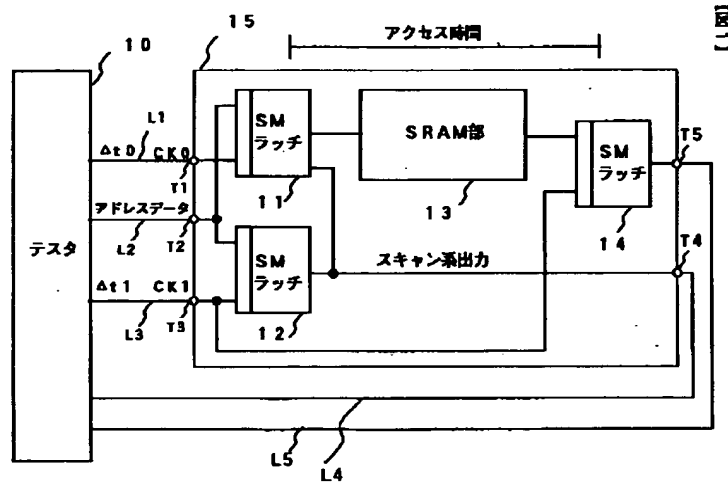
26 クロック発生手段

27 アドレス発生手段

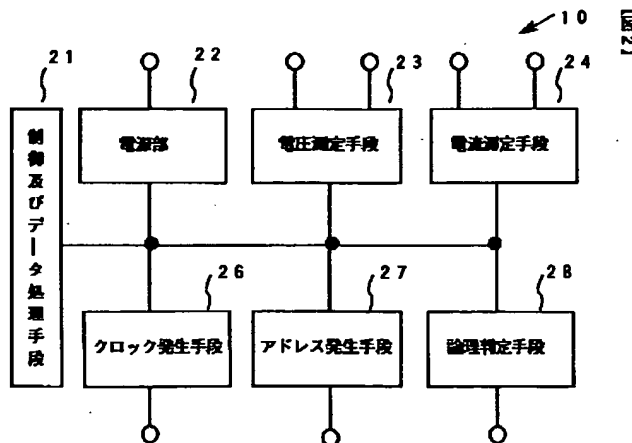
10 28 論理判定手段

52 Dラッチ

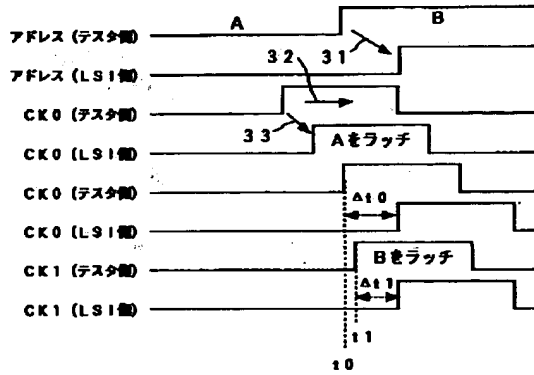
【図1】



【図2】



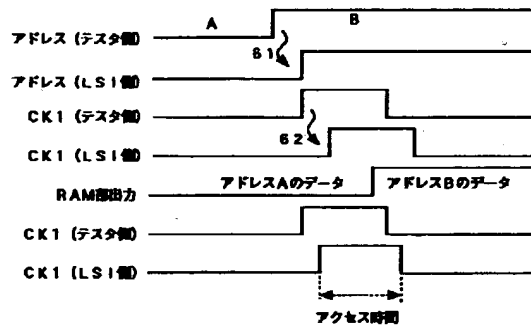
【図3】



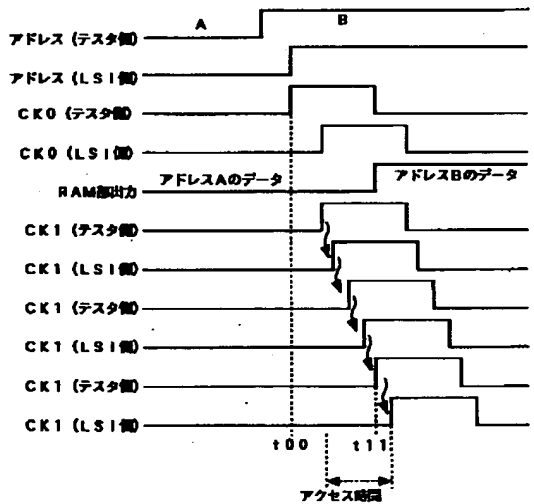
【図6】

【図3】

【図6】



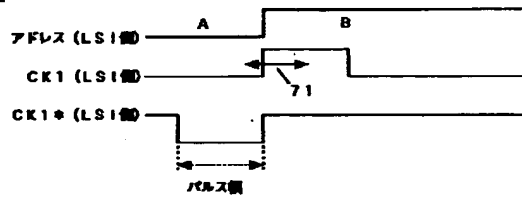
【図4】



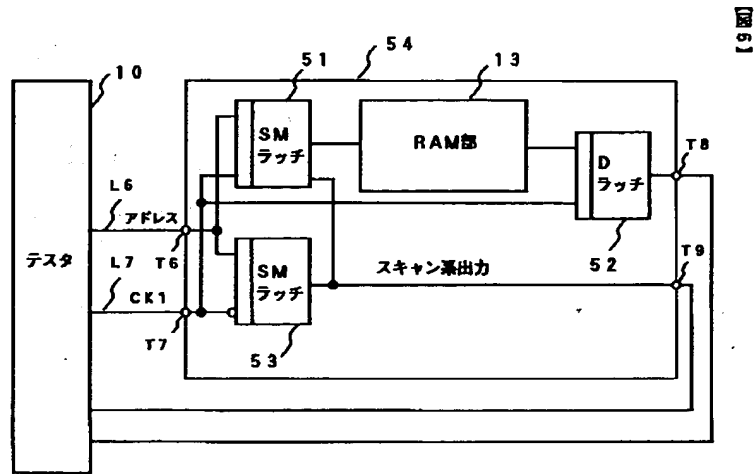
【図7】

【図4】

【図7】



【図5】



**HPS Trailer Page  
for**

**EAST**

---

**UserID: JWest1\_Job\_1\_of\_1**

**Printer: jef\_06c18\_gbviptr**

**Summary**

<b>Document</b>	<b>Pages</b>	<b>Printed</b>	<b>Missed</b>	<b>Copies</b>
<b>JP409127205A</b>	<b>10</b>	<b>10</b>	<b>0</b>	<b>1</b>
<b>Total (1)</b>	<b>10</b>	<b>10</b>	<b>0</b>	<b>-</b>

# LH

Printed by HPS Server  
for

## Walk-Up\_Printing

---

Printer: jef\_06c18\_gbviptr

Date: 04/09/04

Time: 10:32:23

### Document Listing

Document	Selected Pages	Page Range	Copies
US000112233	3	1 - 3	1
Total (1)	3	-	-

Michel G. Fagan.

Impt. in Heating Apparatus.

112233

Fig. 1.

PATENTED FEB 28 1871

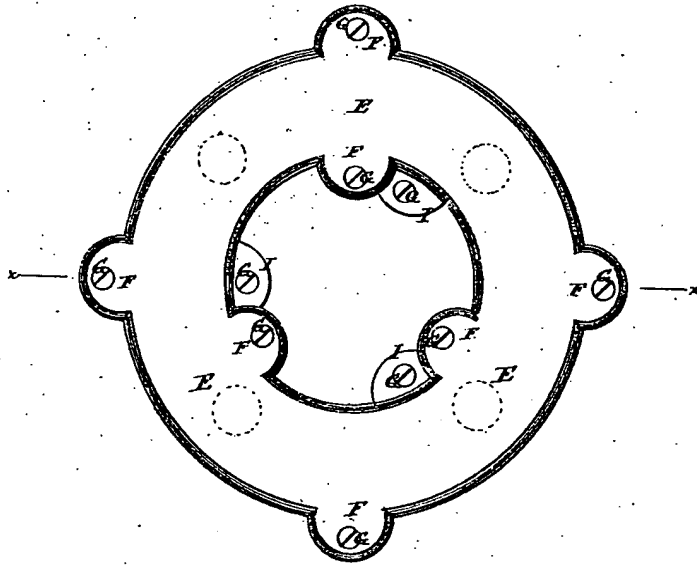
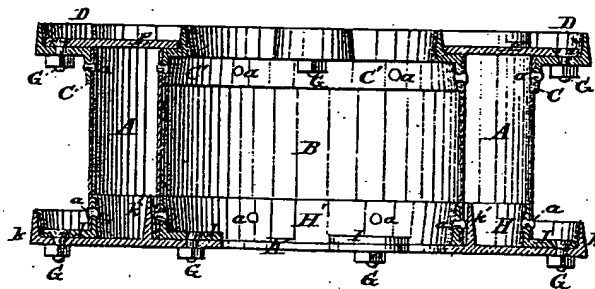


Fig. 2.



Witnesses.

*Abel M. Mork*  
*W. H. Poole*

Inventor.

*Michel G. Fagan, by*  
*Prindle and Lyon*

Attys.

# United States Patent Office.

MICHEL G. FAGAN, OF TROY, NEW YORK, ASSIGNOR TO HIMSELF  
AND ALBERT G. CORSE, OF SAME PLACE.

Letters Patent No. 112,233, dated February 28, 1871.

## IMPROVEMENT IN HEATING APPARATUS.

The Schedule referred to in these Letters Patent and making part of the same.

### To all whom it may concern:

Be it known that I, MICHEL G. FAGAN, of Troy, in the county of Rensselaer and in the State of New York, have invented certain new and useful Improvements in Heating Apparatus; and do hereby declare that the following is a full, clear, and exact description thereof, reference being had to the accompanying drawing making a part of this specification, in which—

Figure 1 is a plan view of the upper side of a drum constructed in accordance with my improved method, and

Figure 2 is a vertical central section of the same on the line  $xz$  of fig. 1.

Letters of like name and kind refer to like parts in each of the figures.

As commonly constructed the drums or sections of heating-furnaces above the fuel-chamber are composed of sheet-iron cylinders inclosed at either end by cast-iron plates resting upon or against the same, and the whole secured together by means of a number of bolts passing through both plates and the cylinder, and confining the latter between the former.

This construction is, however, open to serious objections, among which are—

First, the impossibility of making a joint between the ends of the cylinder and the plates that shall retain a sufficient amount of cement to insure a gas-tight drum, and

Second, the unequal vertical expansion of the parts, by means of which, at certain temperatures, the bolts are slackened, so as not to confine said parts closely together, while at other temperatures said bolts are subjected to a sufficient strain to occasionally cause them to break, and thereby derange the heating apparatus and render repairs necessary.

To obviate these difficulties is the design of my invention, which consists in the employment of cast-metal rings fitted around or within, and secured to the ends of the cylinders, and combined with the end covers, substantially as and for the purpose hereinafter shown.

In the annexed drawing—

A and B represent the outer and inner cylinders, respectively, of a drum, corresponding in length and arranged concentrically.

Secured to and around the upper end of the outer cylinder A is a cast-metal ring, C, the outer edge of which coincides with that of said cylinder, from whence it extends downward upon the same to a sufficient distance to permit of the insertion of rivets  $a$ , bolts, or other equivalent devices, by means of which said parts are attached together.

From its upper edge the ring C extends horizontally outward and then vertically upward, so as to

form a right-angled rebate, D, within and upon which is placed the top plate E, which, as seen in fig. 2, consists of a plane disk of cast metal, provided with a number of horizontally-projecting lugs, F, through which pass the bolts G, used for securing said plate to or upon said ring, the radial conformation of said rebate D being suited to the exterior shape of said plate with its lugs.

The ring C, attached to the upper end of the inner cylinder B, is constructed in a similar manner to that before described of C, except that it fits within instead of around said cylinder, and projects inward instead of outward from the same.

As thus constructed a suitable layer of cement is spread upon the seat or horizontal portion of each ring, and the top plate placed thereon, and secured firmly thereto by means of bolts passing through both parts.

The rings H and H', attached respectively to the lower ends of the outer and inner cylinders, are fitted to or upon the inside of the same, and from thence, extending horizontally outward or inward, are provided with lugs I, corresponding with those forming a part of the top plate, but have no upward-projecting flanges.

The bottom plate K corresponds, in exterior size and shape, with the top plate, but has, in addition, a flange, L, projecting upward from its outer edge, so as to embrace the edge of the ring H, and a second flange, K', projecting upward just outside of the inner cylinder B.

In attaching together the bottom plate and drum the cement is spread upon the former, immediately beneath each ring, and is held in place by means of the vertical flanges.

If desired, in order to render more certain the closeness of joints, cement may be placed within the spaces left between the cylinders and vertical flanges, at the lower end of the drum, and upon and around the inner and outer edges of the top plate, where, from the peculiar shape of the parts, said cement will be securely held in place.

It will be seen that, in attaching the bottom plate to the cylinders, it is necessary to form the seat for the reception of the cement upon and to attach the upward-projecting flanges to said plate, instead of the ring, as before; but as this arrangement of parts is just the reverse of that employed at the upper end of the drum, it is considered only a necessary modification of the same.

The drum above described is intended for use in a hot-air furnace, where it would be placed above the fuel-chamber, and connected therewith by means of one or more pipes opening from the upper end of said chamber into the space between the cylinders

and the top and bottom plates, so as to cause the heated escaping products of combustion to pass through the same and into an exit-pipe passing outward through the side or from the top of said drum, and thereby imparting a portion of their heat to the air surrounding the latter.

This device is, however, only shown for the purpose of illustrating my invention, which, as will be readily seen, is equally applicable to any portions of heating apparatus where it is desired to form a permanent joint between the end of a sheet-metal section or cylinder and a cast-metal cover.

The especial advantages possessed by this construction of a drum are—

First, the joint at either end is rendered entirely independent of and cannot be affected by the expansion or contraction of other parts of the device, and, being made with very short bolts, is not liable to derangement from or by changes of temperature.

Second, each joint is horizontal, and no change of temperature or ordinary use of the heating apparatus can in any manner loosen or remove the cement, so that, if well made originally, said joints are certain to continue gas-tight while the metal remains intact.

Having thus fully set forth the nature and merits of my invention,

What I claim as new is—

In a stove-drum or other equivalent parts of heating apparatus, the means employed, or their equivalent, for securing a permanent gas-tight joint between the ends of the cylindrical portions thereof and the end plates or other contiguous portions of said apparatus, consisting of the rings O and O', attached to or upon the ends of said cylinders A and B, respectively, and from thence projecting horizontally outward or inward and thence upward, so as to form a rebate, D, for the reception of the cover E, in combination with said cover, and with suitable bolts G passing through said parts, substantially as shown and described.

In testimony that I claim the foregoing I have hereunto set my hand this 6th day of February, 1871.

MICHEL G. FAGAN.

Witnesses:

W. P. ALLENDORPH,  
AUG. P. CORSE.



---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Concerning the access-time measurement technique of a semiconductor memory, this invention is applied to access-time measurement of static random access memory (it is called SRAM), and relates to an effective technique.

[0002]

[Description of the Prior Art] SRAM as an example of a semiconductor memory contains the memory cell array which carries out matrix arrangement of two or more static mold memory cells, and changes. The selection terminal of a static mold memory cell is combined with a word line for every direction of a row, and the data input/output terminal of a memory cell is combined with the complementary data line for every direction of a column. Column switching circuit \*\* of each complementary data line is carried out including two or more switches combined with the complementary data line by 1 to 1, and common connection is made at the complementary common data line. The address signal inputted from the exterior is transmitted to a row decoder and a column decoder. Based on the decoding output of a row decoder, a word line drives on selection level, and writing of the data to a specific memory cell or read-out of memory cell data is made possible by turning on a column selecting switch based on the decoding output of a column decoder.

[0003] In addition, there is JP,57-21795,B as an example of the reference with which SRAM was indicated.

[0004]

[Problem(s) to be Solved by the Invention] The access time of SRAM can measure the various trials of LSI using the equipment called the LSI circuit tester (only henceforth a "circuit tester") for supposing that it is possible. A circuit tester has the function which generates the supply voltage required for actuation, and a clock signal and various control signals of LSI, and makes the various performance tests of the SRAM concerned possible by being combined with the external terminal of SRAM made into a test objective through a predetermined cable. The access time can be measured by detecting the phase contrast of the clock signal supplied to the address signal latch and output latch in SRAM, respectively.

[0005] The precision of the phase contrast of the clock signal supplied to SRAM made into a circuit tester blank test object is \*\*300ps extent, and the access time can include it into a design margin in access-time measurement of SRAM which is about 3ns. If the access time is shortened by improvement in the speed of actuation of SRAM at about 1ns, since the measurement error of the access time will become large by it, it becomes impossible however, to disregard the precision of the above-mentioned clock signal phase contrast.

[0006] The purpose of this invention is to offer the technique for raising access-time measuring accuracy.

[0007] The other purposes and the new description will become clear from description

and the accompanying drawing of this specification along [ said ] this invention.

[0008]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0009] Namely, the memory section made into the access-time measuring object as the 1st means (13), The address signal inputted into the above-mentioned memory section is synchronized with the 1st clock signal. The 1st latch circuit which can be latched (11), The output data from the above-mentioned memory section are synchronized with the 2nd clock signal. The 2nd latch circuit which can be latched (14), When a semiconductor integrated circuit is formed including the 3rd latch circuit (12) which can latch the above-mentioned address signal synchronizing with the 2nd clock signal of the above, The difference of the electric length in the track in the exterior of the above-mentioned semiconductor integrated circuit about each of the 1st clock signal of the above and the 2nd clock signal of the above is searched for, and this electric length difference is amended.

[0010] Furthermore, the memory section made into the access-time measuring object in a concrete mode (13), The address signal inputted into the above-mentioned memory section is synchronized with the 1st clock signal. The 1st latch circuit which can be latched (11), The output data from the above-mentioned memory section are synchronized with the 2nd clock signal. The 2nd latch circuit which can be latched (14), When a semiconductor integrated circuit is formed including the 3rd latch circuit (12) which can latch the above-mentioned address signal synchronizing with the 2nd clock signal of the above, The time of the data corresponding to the address signal which the phase of the 2nd clock signal of the above supplied from the outside was changed, and was latched to the 1st latch of the above being latched to the 2nd latch circuit of the above, Based on the phase contrast of the 1st clock signal of the above, and the 2nd clock signal of the above, it faces measuring the access time of the above-mentioned memory section. The timing of the 1st clock signal of the above when changing the phase of the 1st clock signal of the above, and latching the purpose signal state by the 1st latch circuit of the above, From a difference with the timing of the 2nd clock signal of the above when changing the phase of the 2nd clock signal of the above, and latching the purpose signal state by the 3rd latch circuit of the above The difference of the electric length in the track in the exterior of the above-mentioned semiconductor integrated circuit about each of the 1st clock signal of the above and the 2nd clock signal of the above is searched for, and this electric length difference is amended.

[0011] Moreover, the memory section made into the access-time measuring object as the 2nd means (13), The address signal inputted into the above-mentioned memory section is synchronized with a clock signal. The 1st latch circuit which can be latched (51), The output data from the above-mentioned memory section are synchronized with the above-mentioned clock signal. The 2nd latch circuit which can be latched (52), When a semiconductor integrated circuit is formed including the 3rd latch circuit (53) which can latch the above-mentioned address signal synchronizing with the above-mentioned clock signal, Change the pulse width of the above-mentioned clock signal supplied from the outside, and it faces measuring the access time of the above-mentioned memory section based on the pulse width of the above-mentioned clock signal in case the latch data in the 3rd latch circuit of the above change. Where the pulse width of the above-mentioned

clock signal in case the latch data in the 2nd latch circuit of the above change is fixed The phase is changed and the time difference of the change timing of the output logic of the 1st latch circuit of the above and the change timing of the output logic of the 3rd latch circuit of the above is searched for as the access time of the above-mentioned memory section.

[0012] Furthermore, the memory section made into the access-time measuring object as a concrete mode (13), The address signal inputted into the above-mentioned memory section is synchronized with the start timing of a clock signal. The 1st SM latch circuit which can be latched (51), The output data from the above-mentioned memory section are synchronized with the fall timing of the above-mentioned clock signal. D latch circuit which can be latched (52), When a semiconductor integrated circuit is formed including the 2nd SM latch (53) who can latch the above-mentioned address signal synchronizing with the fall timing of the above-mentioned clock signal, Change the pulse width of the above-mentioned clock signal supplied from the outside, and it faces measuring the access time of the above-mentioned memory section based on the pulse width of the above-mentioned clock signal in case the latch data in the above-mentioned D latch circuit change. Where the pulse width of the above-mentioned clock signal in case the latch data in D latch circuit change is fixed The 1st timing from which the phase is changed and the output logic of the above-mentioned 1st SM latch circuit changes to the start timing of the above-mentioned clock, Time difference with the 2nd timing from which the output logic of the above-mentioned 2nd SM latch circuit changes to the fall timing of the above-mentioned clock is searched for as the access time of the above-mentioned memory section.

[0013] According to the 1st above-mentioned means, the difference of the electric merit in the track in the exterior of the above-mentioned semiconductor integrated circuit about each of the 1st clock signal of the above and the 2nd clock signal of the above is searched for, by amending this electric merit difference, the access-time measurement error by the electric length difference is reduced, and this attains the improvement in precision of the access time.

[0014] Moreover, where the pulse width of a clock signal in case the latch data in the 2nd latch circuit change is fixed according to the 2nd above-mentioned means The phase is changed. The change timing of the output logic of the 1st latch circuit, The electric merit of a track can measure the pulse width of a clock signal independently, and, as for searching for time difference with the change timing of the output logic of the 2nd latch circuit of the above as the access time of the above-mentioned RAM section, this attains the improvement in precision of the access time.

[0015]

[Embodiment of the Invention] The access-time measuring circuit where the one example approach of this invention was applied is shown in drawing 1.

[0016] Although especially LSI15 made into the access-time measuring object is not restricted, it is set to SRAM and formed in one semi-conductor substrates, such as a single crystal silicon substrate, of a well-known semiconductor integrated circuit manufacturing technology. LSI15 has the SRAM section 13 which is an example of the memory section. Although this SRAM section 13 is not illustrated, it has a static mold memory cell, the selection terminal of this static mold memory cell is combined with a word line for every direction of a low, and the data input/output terminal of a memory

cell is combined with the complementary data line for every direction of a column. Column switching circuit \*\* of each complementary data line is carried out including two or more switches combined with the complementary data line by 1 to 1, and common connection is made at the complementary common data line. The address signal inputted from the exterior is transmitted to a row decoder and a column decoder. Based on the decoding output of a row decoder, a word line drives on selection level, and writing of the data to a specific memory cell or read-out of memory cell data is made possible by turning on a column selecting switch based on the decoding output of a column decoder. moreover, although not illustrated, there are chip select signal CS\* (\* -- a low -- active or signal reversal is meant) and write enable signal WE\* as a control signal given from the outside. In the condition of the chip select having been performed and having been chosen such when chip select signal CS\* was asserted by the low level, when write enable signal WE\* is asserted by the low level, the data writing to a memory cell is enabled.

[0017] Although the SRAM section 13 is constituted by the address input of two or more bit configuration possible [ an output of the data of two or more bit configuration ], it is shown that 1 bit data are read by drawing 1 by the input of a 1 bit [ after / expedient / explaining about access-time measurement ] address signal. The input address from an address terminal T2 is inputted into the SRAM section 13 through the SM (slave master (called master slave)) latch 11. And the external output of the output data from the SRAM section 13 is enabled through the SM latch 14 stationed in the latter part, and the data terminal T5. The SM latch 11 latches the input address synchronizing with clock signal CK0 inputted through the clock terminal T1. Moreover, the SM latch 14 latches the output data from the SRAM section 13 synchronizing with clock signal CK1 inputted through clock terminal T3. Although explained in full detail behind, the access time of LSI15 can be measured by detecting the phase contrast of clock signals CK0 and CK1, when the data corresponding to the SM latch's 11 output address are latched to the SM latch 14. In such a measuring method, in order to be made to perform phase contrast amendment in this example in order to raise the precision of the phase contrast of clock signals CK0 and CK1, and to obtain that data for phase contrast amendment, the SM latch 12 is formed. This SM latch 12 latches an input address signal synchronizing with clock signal CK1 inputted through clock terminal T3. The external output of the SM latches' 11 and 12 scanning system output is enabled through scanning system output terminal T four prepared in LSI15.

[0018] LSI15 made into the access-time measuring object is electrically combined with a circuit tester 10. This electrical coupling is attained by combining the external terminal of LSI15 with the LSI socket (not shown) prepared in the circuit tester 10, and various tracks are formed between a circuit tester 10 and the external terminal of LSI15. The track shown by L1-L5 is typically shown in drawing 1 . A track L1 is made into the transfer way of clock signal CK0, and is combined with the clock signal input terminal T1 of LSI15. A track L2 is made into the transfer way of an address signal, and is combined with the address terminal T2 of LSI15. A track L3 is made into the transfer way of clock signal CK1, and is combined with clock terminal T3 of LSI15. A track L4 is made into the transfer way of scanning system output data, and is combined with scanning system output terminal T four of LSI15. A track L5 is made into a data transfer way, and is combined with the data terminal T5 of LSI15.

[0019] Functional block of the above-mentioned circuit tester 10 is shown in drawing 2 .

[0020] As shown in drawing 2 , although especially the circuit tester 10 is not restricted, it includes control and the data-processing section 21, a power supply section 22, the amplitude-measurement means 23, the amperometry means 24, the clock signal generating means 26, the address generation means 27, and the logic judging means 28.

[0021] A power supply section 22 has the function which generates the supply voltage for actuation of a test objective LSI, and the supply voltage for actuation of LSI15 is generated by this power supply section 22. The amplitude-measurement section 23 and the amperometry means 24 have the function which measures the electrical potential difference between main terminals of a test objective LSI, and the current between main terminals, respectively. The clock signal generating means 26 generates the clock signal supplied to a test objective LSI. In this example, the clock signals CK0 and CK1 supplied to LSI15 are generated by the clock signal generating means 26. The address generation means 27 has the function to generate the address signal supplied to a test objective LSI. In this example, the address signal supplied to LSI15 is generated. The logic judging means 28 has the function to judge the output logic from a test objective LSI. In this example, the logic of the data transmitted through scanning system output terminal T four of LSI15 and the data terminal T5 is judged. Moreover, control and the data-processing means 21 have a processing facility about the motion control of each part of this circuit tester 10 and measurement, or a judgment result.

[0022] Next, access-time measurement of LSI15 is explained. In this example, the data for phase contrast amendment of clock signals CK [ CK0 and ] 1 are collected before access-time measurement, and improvement in access-time measuring accuracy is aimed at by the data correction based on it.

[0023] The timing about collection of clock signal amendment data is shown in drawing 3 .

[0024] In addition, the transfer system of clock signals CK0 and CK1 shall be considered as \*\* length wiring into LSI15, and there shall be no skew of a there.

[0025] In collection of clock signal amendment data, the logic of the output signal from scanning system output terminal T four is judged by the logic judging means 28 of a circuit tester 21.

[0026] First, the address outputted from a circuit tester 10 fixes the timing which starts from a low level high-level. For convenience, make the low level of the address into Address A, and let the high level of the address be Address B. The address outputted from the circuit tester 10 is delayed as shown by the arrow head 31, and it is inputted into LSI15 by the electric merit of the track L2 formed between a circuit tester 10 and LSI15.

[0027] Also about clock signal CK0 outputted from a circuit tester 10, clock signal CK0 outputted from the circuit tester 10 is delayed as shown by the arrow head 33, and it is inputted into LSI15 by the electric merit of the track L1 formed between a circuit tester 10 and LSI15. Clock signal CK0 is inputted into the SM latch 11, and an address signal is latched by the SM latch 11 synchronizing with the start timing. Clock signal CK0 is delayed by the circuit tester 10 by the minute time basis in the direction shown by the arrow head 32. At first, although Address A is latched by the SM latch 11, Address B comes to be soon latched by delaying the start timing of clock signal CK0 in the direction shown by the arrow head 32. The start timing of clock signal CK0 when this latch address changes to B from A is judged, and that timing is set to t0.

[0028] Also with clock signal CK1, it delays by the minute time basis as well as the case of above-mentioned clock signal CK0, the timing of clock signal CK1 when the SM latch's 12 latch address changes to B from A is judged, and the timing is set to  $t_1$ .

[0029] The electric merit in the track between the circuit tester 10 about clock signals CK0 and CK1 and LSI15 is set to  $\Delta t_0$  and  $\Delta t_1$ , respectively. Since it is the same, the timing which can latch Address B by the SM latches 11 and 12, respectively at this time is  $t_0 + \Delta t_0 = t_1 + \Delta t_1$ . -- \*\* is materialized. That is, difference  $\Delta t$  of the electric length of tracks L1 and L3 is equal to the phase contrast of the clock signals CK0 and CK1 in a circuit tester 10, and is set to  $\Delta t = \Delta t_0 - \Delta t_1 = t_1 - t_0$ . By the difference in the electric merit of tracks L1 and L3, in spite of producing phase contrast  $\Delta t$  among clock signals CK [ CK0 and ] 1, it is disregarded, and if LSI15 is high-speed, especially by having measured the access time, the measurement error of the access time will become large a certain force fire. So, in this example, highly precise-ization of access-time measurement is attained by amending access-time measured value by using the above-mentioned phase contrast  $\Delta t$  as amendment data, so that it may state below.

[0030] The timing about access-time measurement is shown in drawing 4.

[0031] First, a predetermined test pattern is written in the SRAM section 13. A test pattern is performed by the circuit tester 10, and the test pattern information is saved at a circuit tester 10, and is used as expected value in the logic judging mentioned later.

[0032] The start timing of an address signal and the start timing of clock signal CK0 are fixed. And  $t_{00}$  shows the start timing of clock signal CK0 in that case.

[0033] Moreover, the start timing of clock signal CK1 is adjusted so that Address A may be latched by the SM latch 11.

[0034] Next, the output data from the SRM section 13 corresponding to Address B delay at a time 50 ps of start timing of clock signal CK1 outputted from a circuit tester 10 little by little, for example until they are latched to the SM latch 14. That is, whenever the start timing of clock signal CK1 is delayed, the SM latch's 14 output logic is judged by the logic judging means 28. In the SM latch 14, although the output data corresponding to Address A are latched at first, the output data corresponding to Address B come to be soon latched by delay of above-mentioned clock signal CK1. Therefore, with the logic judging means 28, it judges whether the data corresponding to whether the SM latch's 14 output logic was in agreement with expected value and Address B that is, were latched by the SM latch 14. In this judgment, when the SM latch's 14 output logic is judged to have been in agreement with expected value, delay of above-mentioned clock signal CK1 is ended.  $t_{11}$  shows the timing to which the data with which the SM latch 14 was latched changed from the thing corresponding to Address A to the thing corresponding to Address B.

[0035] Fundamentally, the access time of the SRAM section 13 is found by  $t_{11} - t_{00}$ . However, since the electric merits of tracks L1 and L3 differ in fact and the precision of the phase contrast of clock signals CK0 and CK1 is falling as described above, the above-mentioned  $t_{11} - t_{00}$  are amended by amendment data  $\Delta t$  for which it was able to ask first. That is, access-time T of the SRAM section 13 is  $T = t_{11} - t_{00} + \Delta t$ . -- It considers as \*\* and the access time of SRAM13 can be measured with a sufficient precision by taking amendment data  $\Delta t$  into consideration such.

[0036] According to the above-mentioned example, the following operation effectiveness

can be acquired.

[0037] The timing of clock signal CK0 when clock signal CK0 being delayed by the minute time basis, and latching the purpose signal state by the SM latch circuit 11, From a difference with the timing of clock signal CK1 when carrying out minute time delay of clock signal CK1, and latching the purpose signal state by the SM latch circuit 12 By searching for the difference of the electric length in the tracks L1 and L3 in the exterior of LSI15 about each of clock signals CK0 and CK1, and amending this electric length difference The access-time measurement error by the electric length difference can be reduced, and, thereby, improvement in precision of the access time of the SRAM section 13 can be aimed at.

[0038] Next, other examples are explained.

[0039] The access-time measuring circuit where other example approaches of this invention were applied is shown in drawing 5.

[0040] Although especially LSI54 made into the access-time measuring object is not restricted, it is set to SRAM and formed in one semi-conductor substrates, such as a single crystal silicon substrate, of a well-known semiconductor integrated circuit manufacturing technology. LSI54 has the SRAM section 13. This SRAM section 13 is considered as the same configuration as what is shown in drawing 1. That is, the selection terminal of a static mold memory cell is combined with a word line for every direction of a low, the data input/output terminal of a memory cell is combined with the complementary data line for every direction of a column, column switching circuit \*\* of each complementary data line is carried out including two or more switches combined with the complementary data line by 1 to 1, and common connection is made at the complementary common data line. The address signal inputted from the exterior is transmitted to a low decoder and a column decoder. Based on the decoding output of a low decoder, a word line drives on selection level, and writing of the data to a specific memory cell or read-out of memory cell data is made possible by turning on a column selecting switch based on the decoding output of a column decoder.

[0041] Although the SRAM section 13 is constituted by the address input of two or more bit configuration possible [ an output of the data of two or more bit configuration ], it is shown that 1 bit data are read by the input of a 1 bit [ after / expedient / explaining about access-time measurement ] address signal. The input address from an address terminal T6 is inputted into the SRAM section 13 through the SM latch 51. And the external output of the output data from the SRAM section 13 is enabled through D mold latch (it is called D latch) 52 stationed in the latter part, and the data terminal T8. The D latch 52 latches the output data from the SRAM section 13 synchronizing with the fall timing of clock signal CK1. The SM latches 51 and 52 latch the input address synchronizing with clock signal CK1 inputted through the clock terminal T7. However, the SM latch 53 latches the input address synchronizing with the fall timing of clock signal CK1 to the SM latch 51 latching the input address to the start timing of clock signal CK1. The D latch's 52 output signal and scanning system output signal are transmitted to a circuit tester 10 through the data terminal T8 and the scanning system output terminal T9, respectively.

[0042] The timing of access-time measurement is shown in drawing 6.

[0043] The address signal and clock signal CK1 which were outputted from the circuit tester 10 are delayed as shown by arrow heads 61 and 62, respectively, and they are inputted into LSI54. Synchronizing with the start timing of clock signal CK1, the input

address is latched by the SM latch 51 and the output data of the SRAM section 13 are latched to the D latch 52 synchronizing with the fall timing of clock signal CK1. To the timing shown in drawing 6, in the fall timing of clock signal CK1, although the output data of the SRAM section 13 corresponding to Address B are latched to the D latch 52, when pulse width of above-mentioned clock signal CK1 is gradually narrowed by the circuit tester 10 side, it replaces with the data corresponding to Address B which were able to be latched till then, and the data corresponding to Address A come to be latched. By judging the logic of the D latch 52 output data with the logic judging means 28 of a circuit tester 10, the timing to which the D latch's 52 maintenance data change from the thing corresponding to Address B to the thing corresponding to Address A can be grasped. Then, when pulse width of clock signal CK1 is narrowed gradually as mentioned above, the pulse width of clock signal CK1 just before the D latch's 52 maintenance data change to the thing corresponding to Address A is equivalent to the access time of this SRAM section 13. It can ask for the pulse width of this clock signal CK1 with a sufficient precision by the following approaches.

[0044] The timing of pulse width measurement of a clock CK 1 is shown in drawing 7.

[0045] Where the width of face of the above-mentioned clock CK 1 is fixed, as shown by the arrow head 71 of drawing 7, the above-mentioned clock CK 1 changes a phase. It asks for the 1st timing from which the address signal latched to the SM latch 51 changes from A to B to the start timing of a clock CK 1 by judging the logic of the output signal from the scanning system output terminal T9 (refer to drawing 5) with the logic judging means 28 of a circuit tester 10. Similarly, it asks for the 2nd timing to which the address signal which is the fall timing (it is start timing as CK1\*) of a clock CK 1 shortly, and is held by changing a phase at the SM latch 53 changes the above-mentioned clock CK 1 from A to B. The time difference of this 1st timing and 2nd timing is the pulse width which is going to ask for a clock CK 1. Thus, by changing the phase, and the address signal latched, respectively changing to the SM latches 51 and 52, and asking them for timing, where the pulse width of a clock CK 1 is fixed Since the width of face of clock signal CK1 in the location of the terminals T6 and T7 of LSI54 can be measured Even if a metaphor, track L6 between a circuit tester 10 and LSI54, and the electric length of L7 exist, it can find independently the access time in the pulse width of the above-mentioned clock CK 1, i.e., the measuring circuit shown in drawing 5, with a sufficient precision.

[0046] According to the above-mentioned example, the following operation effectiveness can be acquired.

[0047] Since the electric length of a track can measure the pulse width of a clock signal independently by changing the phase and searching for the time difference of the change timing of the output logic of the SM latch circuit 51, and the change timing of the output logic of the above-mentioned SM latch circuit 53 as the access time of the above-mentioned RAM section, where the pulse width of a clock signal in case the latch data in the D latch circuit 52 change is fixed, improvement in precision of the access time can be aimed at.

[0048] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to it and does not deviate from the summary.

[0049] For example, although 1 bit data were read by the input of a 1 bit [ after /



expedient / explaining about access-time measurement ] address signal in the above-mentioned example, in fact, the input addresses to SRAM are two or more bit patterns, and there are many cases of two or more bit patterns also about I/O of the SRAM section 14. In that case, it sets, and two or more SM latches 11, 12, 51, and 53 are stationed corresponding to the bit pattern of the address, respectively, and two or more SM latches 14 and D latches 52 are stationed corresponding to the configuration number of bits of I/O.

[0050] Moreover, also in the semiconductor integrated circuit with which a microcomputer and other functional modules have been arranged in LSI15, measurement of the access time is attained by existence of SRAM13. Moreover, it replaces with the SRAM section 13, and when it has the other semi-conductor storage sections, measurement of the access time of the storage section of the dynamic RAM section etc. is enabled.

[0051] Furthermore, although amendment data  $\Delta t$  is used and it was made for the above-mentioned \*\* type to amend, it replaces with such amendment and you may make it amend the phase of a clock CK 0 and CK1 the very thing in the example shown in drawing 1 - drawing 4 based on amendment data  $\Delta t$ .

[0052] Although the above explanation explained the case where invention mainly made by this invention person was applied to access-time measurement of the SRAM section which is a field of the invention used as the background, this invention is not limited to it and can be applied to access-time measurement of various semiconductor memory.

[0053] This invention is applicable on condition that the RAM section is contained in a semiconductor integrated circuit at least.

[0054]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0055] That is, the difference of the electric merit in the track in the exterior of the semiconductor integrated circuit about each of the 1st clock signal and the 2nd clock signal is searched for, by amending this electric merit difference, the access-time measurement error by the electric length difference can be reduced, and, thereby, improvement in precision of the access time can be aimed at.

[0056] Moreover, since the electric length of a track can measure the pulse width of a clock signal independently by changing the phase and searching for the time difference of the change timing of the output logic of the 1st latch circuit, and the change timing of the output logic of the 2nd latch circuit as the access time of the RAM section, where the pulse width of a clock signal in case the latch data in the 2nd latch circuit change is fixed, improvement in precision of the access time can be aimed at.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The address signal inputted into the memory section made into the access-time measuring object and the above-mentioned memory section is synchronized with the 1st clock signal. The 1st latch circuit which can be latched, When a semiconductor integrated circuit is formed with the 2nd latch circuit which can be latched including the 3rd latch circuit which can latch the above-mentioned address signal synchronizing with the 2nd

clock signal of the above synchronizing with the 2nd clock signal in the output data from the above-mentioned memory section, It is the access-time measuring method which measures the access time of the above-mentioned memory section in this semiconductor integrated circuit. The access-time measuring method characterized by searching for the difference of the electric length in the track in the exterior of the above-mentioned semiconductor integrated circuit about each of the 1st clock signal of the above, and the 2nd clock signal of the above, and amending this electric length difference.

[Claim 2] The address signal inputted into the memory section made into the access-time measuring object and the above-mentioned memory section is synchronized with the 1st clock signal. The 1st latch circuit which can be latched, When a semiconductor integrated circuit is formed with the 2nd latch circuit which can be latched including the 3rd latch circuit which can latch the above-mentioned address signal synchronizing with the 2nd clock signal of the above synchronizing with the 2nd clock signal in the output data from the above-mentioned memory section, The time of the data corresponding to the address signal which the phase of the 2nd clock signal of the above supplied from the outside was changed, and was latched to the 1st latch of the above being latched to the 2nd latch circuit of the above, In the access-time measuring method which measures the access time of the above-mentioned memory section based on the phase contrast of the 1st clock signal of the above, and the 2nd clock signal of the above The timing of the 1st clock signal of the above when changing the phase of the 1st clock signal of the above, and latching the purpose signal state by the 1st latch circuit of the above, From a difference with the timing of the 2nd clock signal of the above when changing the phase of the 2nd clock signal of the above, and latching the purpose signal state by the 3rd latch circuit of the above The access-time measuring method characterized by searching for the difference of the electric length in the track in the exterior of the above-mentioned semiconductor integrated circuit about each of the 1st clock signal of the above, and the 2nd clock signal of the above, and amending this electric length difference.

[Claim 3] The address signal inputted into the memory section made into the access-time measuring object and the above-mentioned memory section is synchronized with a clock signal. The 1st latch circuit which can be latched, When a semiconductor integrated circuit is formed with the 2nd latch circuit which can be latched including the 3rd latch circuit which can latch the above-mentioned address signal synchronizing with the above-mentioned clock signal synchronizing with the above-mentioned clock signal in the output data from the above-mentioned memory section, Change the pulse width of the above-mentioned clock signal supplied from the outside, and it is based on the pulse width of the above-mentioned clock signal in case the latch data in the 3rd latch circuit of the above change. Where the pulse width of the above-mentioned clock signal in case the latch data in the 2nd latch circuit of the above change is fixed in the access-time measuring method which measures the access time of the above-mentioned memory section The access-time measuring method characterized by changing the phase and searching for the time difference of the change timing of the output logic of the 1st latch circuit of the above, and the change timing of the output logic of the 3rd latch circuit of the above as the access time of the above-mentioned memory section.

[Claim 4] The address signal inputted into the memory section made into the access-time measuring object and the above-mentioned memory section is synchronized with the start timing of a clock signal. The 1st slave master latch circuit which can be latched, The

output data from the above-mentioned memory section are synchronized with the fall timing of the above-mentioned clock signal. D latch circuit which can be latched, When a semiconductor integrated circuit is formed including the 2nd SM latch who can latch the above-mentioned address signal synchronizing with the fall timing of the above-mentioned clock signal, Change the pulse width of the above-mentioned clock signal supplied from the outside, and it is based on the pulse width of the above-mentioned clock signal in case the latch data in the above-mentioned D latch circuit change. Where the pulse width of the above-mentioned clock signal in case it is the access-time measuring method which measures the access time of the above-mentioned memory section and the latch data in the above-mentioned D latch circuit change is fixed The 1st timing from which the phase is changed and the output logic of the above-mentioned 1st slave master latch circuit changes to the start timing of the above-mentioned clock, The access-time measuring method characterized by searching for time difference with the 2nd timing from which the output logic of the above-mentioned 2nd slave master latch circuit changes to the fall timing of the above-mentioned clock as the access time of the above-mentioned memory section.

[Claim 5] Claim 1 which is made to combine the external terminal of the above-mentioned semiconductor integrated circuit with a circuit tester, and was made to perform the current supply for actuation to the above-mentioned semiconductor integrated circuit, supply of a clock signal, and the logic judging of the output signal from the above-mentioned semiconductor integrated circuit by the above-mentioned circuit tester thru/or the access-time measuring method of four given in any 1 term.

---

[Translation done.]